

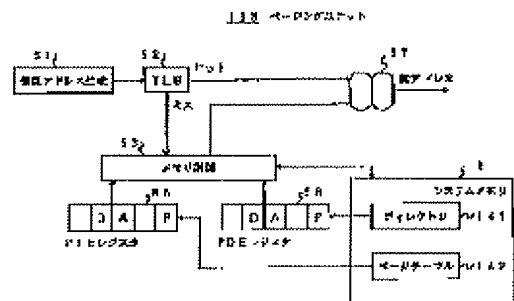
(11)Publication number : 07-234821
(43)Date of publication of application : 05.09.1995

(21)Application number : 06-269409	(71)Applicant : TOSHIBA CORP TOSHIBA COMPUT ENG CORP
(22)Date of filing : 02.11.1994	(72)Inventor : HAMAGUCHI HIROSHI

(30)Priority
Priority number : 05332879 Priority date : 27.12.1993 Priority country : JP

PURPOSE: To decrease the frequency of execution of memory write cycle for unnecessary reference bit set.

CONSTITUTION: When a page directory 141 is accessed for read, a page table base address is read out of the read page directory entry and a bit A held in the page directory entry is set in a register 56. When bit A='1', the write cycle for setting the bit A of the page directory 131 to '1' is inhibited from being executed. When the bit A and bit D held in the read page entry are already $\alpha 1$, the write cycle to a page table 142 for setting those bits to '1' is inhibited from being executed.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平7-234821

(43) 公開日 平成7年(1995)9月5日

(51) Int.Cl.⁶

G 0 6 F 12/10

識別記号

庁内整理番号

F I

技術表示箇所

E 7608-5B

審査請求 未請求 請求項の数21 O L (全 15 頁)

(21) 出願番号 特願平6-269409

(22) 出願日 平成6年(1994)11月2日

(31) 優先権主張番号 特願平5-332879

(32) 優先日 平5(1993)12月27日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(71) 出願人 000221052

東芝コンピュータエンジニアリング株式会
社

東京都青梅市新町1381番地1

(72) 発明者 浜口 弘志

東京都青梅市新町1381番地1 東芝コンピ
ュータエンジニアリング株式会社内

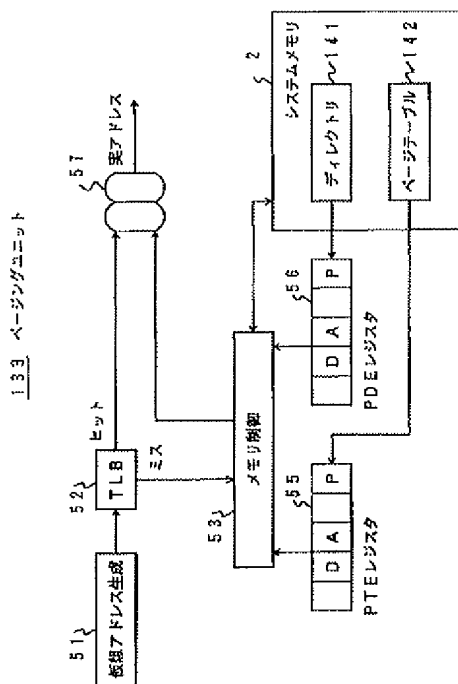
(74) 代理人 弁理士 鈴江 武彦

(54) 【発明の名称】 ページング装置およびディスプレイコントローラ

(57) 【要約】

【目的】 ページディレクトリ/ページテーブルに対するライトサイクルの実行回数を低減し、ディスプレイコントローラ内のコプロセッサの性能向上を図る。

【構成】 ページディレクトリ141のリードアクセス時に、そのリードされたページディレクトリエントリからページテーブルベースアドレスが読み取られると共に、そのページディレクトリエントリに保持されているAビットがレジスタ56にセットされる。Aビット="1"ならば、ページディレクトリ141のAビットを"1"にセットするためのライトサイクルの実行は禁止される。また、リードしたページテーブルエントリに保持されているAビット、Dビットが既に"1"ならば、それらビットを"1"に設定するためのページテーブル142に対するライトサイクルの実行も禁止される。



【特許請求の範囲】

【請求項1】 ページングによって仮想アドレスを実アドレスに変換するページング装置において、

複数のページテーブルエントリを有し、ページテーブルエントリ毎に対応するページの実ページアドレスおよびそのページの使用の有無を示す参照ビットを保持するページテーブルと、

前記仮想アドレスの上位ビット部によって指定される前記ページテーブルのページテーブルエントリをリードするページテーブルリード手段と、

前記リードしたページテーブルエントリに含まれる実ページアドレスと前記仮想アドレスの下位ビット部とから前記仮想アドレスに対応する実アドレスを生成する手段と、

前記リードしたページテーブルエントリに含まれる前記参照ビットを参照し、前記参照ビットが前記ページの未使用を示す時前記リードしたページテーブルエントリにページ使用を示す参照ビットをライトする手段とを具備することを特徴とするページング装置。

【請求項2】 前記ページテーブルリード手段は、前記リードしたページテーブルのページテーブルエントリに保持されている前記参照ビットをレジスタにセットする手段を含み、

前記ライト手段は、前記リードしたページテーブルエントリにページ使用を示す参照ビットをライトするためのメモリライトサイクルを実行する手段と、前記レジスタの参照ビットを参照して前記参照ビットが前記ページの未使用を示す否かを決定し、前記参照ビットがページの使用を示す時、前記参照ビットをセットするためのメモリライトサイクルの実行を禁止する手段とを含むことを特徴とする請求項1記載のページング装置。

【請求項3】 2レベルページングによって仮想アドレスを実アドレスに変換するページング装置において、複数のページテーブルエントリを有し、ページテーブルエントリ毎に対応するページの実ページアドレスおよびそのページの使用の有無を示す参照ビットを保持するページテーブルと、

複数のページディレクトリエントリを有し、ページディレクトリエントリ毎にページテーブルを参照するためのページテーブルアドレスおよびそのページテーブルによって管理されているページ群の使用の有無を示す参照ビットを保持するページディレクトリと、

前記仮想アドレスの上位ビット部によって指定されるページディレクトリのページディレクトリエントリをリードし、そのリードしたページディレクトリエントリに保持されている前記参照ビットを第1レジスタにセットするディレクトリリード手段と、

前記第1レジスタにセットされているアクセスビットを参照し、前記参照ビットがページ群未使用を示す時前記リードしたページディレクトリエントリにページ群使用

を示すアクセスビットをライトするディレクトリライト手段と、

前記リードしたページディレクトリエントリのページテーブルアドレスおよび前記仮想アドレスの中位ビット部によって指定される前記ページテーブルのページテーブルエントリをリードし、そのリードしたページディレクトリエントリに保持されている前記参照ビットを第2レジスタにセットするページテーブルリード手段と、

前記リードしたページテーブルエントリに含まれる実ページアドレスと前記仮想アドレスの下位ビット部とから前記仮想アドレスに対応する実アドレスを生成する手段と、

前記第2レジスタにセットされている参照ビットを参照し、前記参照ビットがページ未使用を示す時前記リードしたページテーブルエントリにページ使用を示す参照ビットをライトするページテーブルライト手段とを具備することを特徴とするページング装置。

【請求項4】 2レベルページングによって仮想アドレスを実アドレスに変換するページング装置において、

複数のページテーブルエントリを有し、ページテーブルエントリ毎に対応するページの実ページアドレス、そのページのアクセスの有無を示すアクセスビット、およびそのページのデータ更新の有無を示すダーティービットを保持するページテーブルと、

複数のページディレクトリエントリを有し、ページディレクトリエントリ毎にページテーブルを参照するためのページテーブルアドレス、およびそのページテーブルによって管理されているページ群のアクセスの有無を示すアクセスビットを保持するページディレクトリと、

前記仮想アドレスの上位ビット部によって指定されるページディレクトリのページディレクトリエントリをリードし、そのリードしたページディレクトリエントリに保持されている前記アクセスビットを第1レジスタにセットするディレクトリリード手段と、

前記第1レジスタにセットされているアクセスビットを参照し、前記アクセスビットがページの未アクセスを示す時前記リードしたディレクトリエントリにページアクセスを示すアクセスビットをライトするディレクトリライト手段と、

前記リードしたページディレクトリエントリのページテーブルアドレスおよび前記仮想アドレスの中位ビット部によって指定される前記ページテーブルのページテーブルエントリをリードし、そのリードしたページディレクトリエントリに保持されている前記アクセスビットおよびダーティービットを第2レジスタにセットするページテーブルリード手段と、

前記リードしたページテーブルエントリに含まれる実ページアドレスと前記仮想アドレスの下位ビット部とから前記仮想アドレスに対応する実アドレスを生成する手段と、

10

20

30

40

50

前記第2レジスタにセットされているアクセスビットおよびダーティービットを参照し、前記アクセスビットが未アクセスを示し、且つ前記ダーティービットがデータ未更新を示す時、前記リードしたページテーブルエントリにページアクセスを示すアクセスビットおよびデータ更新を示すダーティービットをライトするページテーブルライト手段とを具備することを特徴とするページング装置。

【請求項5】 CPUと、このCPUによって処理される命令およびデータを格納するシステムメモリと、表示データを格納するビデオメモリと、ディスプレイモニタを制御し、前記ビデオメモリの表示データをディスプレイモニタに表示するディスプレイコントローラと、前記CPUと前記システムメモリと前記ディスプレイコントローラとの間でデータを授受する通信手段とを含み、前記システムメモリと前記ビデオメモリの各々が前記CPUおよび前記ディスプレイコントローラそれぞれの2レベルページング機能によってリード/ライトアクセスされるように構成されたコンピュータシステムにおけるディスプレイコントローラにおいて、

データ保持手段と、
前記ビデオメモリに対するアクセス要求が発行された時、前記ビデオメモリが配置されているメモリアドレス空間を示すリニアアドレスを発生する手段と、
ページディレクトリベースアドレスの値と前記リニアアドレスに含まれるページディレクトリインデックスの値とに基づいて、前記システムメモリ上のページディレクトリに含まれる所定のページディレクトリエントリをリードアクセスするメモリアccess手段と、
前記ページディレクトリエントリがリードアクセスされた時、そのアクセスされたページディレクトリエントリ内の履歴情報を前記データ保持手段にロードするローディング手段と、
前記データ保持手段にロードされた前記履歴情報内の所定ビットが、該当するページが既にアクセスされたことを示しているか否かを決定する手段と、
該当するページが既にアクセスされたことを示す時、前記リードアクセスされたページディレクトリエントリの属性情報を所定値にセットするために行われる前記ページディレクトリエントリに対するライトアクセスを、禁止する禁止手段と、
前記ページディレクトリエントリからリードしたアドレスによって指定される前記システムメモリ上のページテーブルエントリのページフレームアドレスと前記リニアアドレスのオフセット値とに基づいて、前記ビデオメモリをリード/ライトアクセスする手段とを具備することを特徴とするディスプレイコントローラ。

【請求項6】 前記ローディング手段は、前記ページディレクトリエントリの属性情報に含まれるアクセスビットを前記データ保持手段にロードすることを特徴とする

請求項5記載のディスプレイコントローラ。

【請求項7】 前記ページディレクトリエントリはページテーブルベースアドレスを含み、
前記メモリアccess手段は、リードアクセスされたページディレクトリエントリのページテーブルベースアドレスと前記リニアアドレスのページテーブルインデックスの値とに基づいて、前記システムメモリ上のページテーブルに含まれる所定のページテーブルエントリをリードアクセスする手段を含むことを特徴とする請求項5記載のディスプレイコントローラ。

【請求項8】 前記ローディング手段は、前記ページテーブルエントリがリードアクセスされた時、そのアクセスされたページテーブルエントリ内の属性情報を前記データ保持手段にロードする手段を含むことを特徴とする請求項7記載のディスプレイコントローラ。

【請求項9】 前記ローディング手段は、前記ページテーブルエントリの属性情報の含まれるアクセスビットおよびダーティービットを前記データ保持手段にロードすることを特徴とする請求項8記載のディスプレイコントローラ。

【請求項10】 前記禁止手段は、前記ロードされた属性情報に基づいて、前記リードアクセスされた前記システムメモリ上のページテーブルエントリに対するライトサイクルの発生を禁止する手段を含むことを特徴とする請求項9記載のディスプレイコントローラ。

【請求項11】 前記禁止手段は、前記リードアクセスされたページテーブルエントリの属性情報を所定値にセットするために行われる前記ページテーブルエントリに対するライトアクセスを禁止する手段を含むことを特徴とする請求項10記載のディスプレイコントローラ。

【請求項12】 前記禁止手段は、前記アクセスビットが、該当するページが既にアクセスされたことを示し、前記ダーティービットが、該当するページが既に更新されていることを示す時、前記リードアクセスされたページテーブルエントリの属性情報を所定値にセットするための前記ページテーブルエントリに対するライトアクセスを、禁止する手段を含むことを特徴とする請求項11記載のディスプレイコントローラ。

【請求項13】 前記ページディレクトリが前記ディスプレイコントローラによってリードアクセスされたか否かを示すページ変換サイクル番号を格納するレジスタをさらに含むことを特徴とする請求項5記載のディスプレイコントローラ。

【請求項14】 前記ページディレクトリがリードアクセスされた後、前記レジスタのページ変換サイクル番号に所定値を加算する手段をさらに含むことを特徴とする請求項13記載のディスプレイコントローラ。

【請求項15】 ページディレクトリをアクセスするためのページディレクトリベースアドレスを格納する第2レジスタをさらに含むことを特徴とする請求項5記載の

ディスプレイコントローラ。

【請求項16】 前記CPUは、ページディレクトリをアクセスするためのページディレクトリベースアドレスを格納する第3レジスタを含み、

前記ディスプレイコントローラの第2レジスタは、前記CPUの第3レジスタと同一の値を保持することを特徴とする請求項15記載のディスプレイコントローラ。

【請求項17】 前記リニアアドレスから物理アドレスへの変換処理を短縮するためのショートカット手段をさらに含むことを特徴とする請求項5記載のディスプレイ 10
コントローラ。

【請求項18】 前記ショートカット手段は、前記発生されたりニアアドレスの上位ビット部と比較するための実ページアドレスに対応したりニアアドレスタグを保持し、前記リニアアドレスタグが前記リニアアドレスの上位ビット部と一致した時、前記リニアアドレスタグに対応する実ページアドレスを出力することを特徴とする請求項17記載のディスプレイコントローラ。

【請求項19】 前記リニアアドレスタグが前記リニアアドレスの上位ビット部と一致しない時、前記2レベル 20
ページング機能を実行する手段をさらに含むことを特徴とする請求項18記載のディスプレイコントローラ。

【請求項20】 該当するページが前記システムメモリ上に存在するか否かを示す前記リードアクセスされたページディレクトリエントリ内のプレゼントビットが所定の値か否かを決定し、そのプレゼントビットが所定の値で無い時、そのページのリードアクセスが行われないようにページ不存在割り込み信号を発生する手段をさらに含むことを特徴とする請求項5記載のディスプレイコントローラ。

【請求項21】 該当するページがアクセス可能か否かを示す前記リードアクセスされたページディレクトリエントリ内のユーザ／スーパーバイザビットが所定の値か否かを決定し、そのユーザ／スーパーバイザビットが所定の値で無い時、そのページのリードアクセスが行われないように保護違反割り込み信号を発生する手段をさらに含むことを特徴とする請求項5記載のディスプレイコントローラ。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 この発明はコンピュータシステムにおけるページング装置に関し、特にディスプレイコントローラに組み込まれ、2レベルページングによって仮想アドレスを実アドレスを変換するページング装置に関する。

【0002】

【従来の技術】 一般に、マルチタスクオペレーティングシステムが使用されるコンピュータシステムにおいては、仮想記憶を実現するための代表的な方法の1として、2レベルページングが利用されている。この2レベ 50

ルページングは、仮想アドレスの仮想ページアドレスを2つに分け、上位側をページディレクトリのインデックスとしてページテーブルの位置を求め、さらに下位側をインデックスとして実ページアドレスを求めるというページング方法であり、1レベルのものよりも、メモリ上に存在するページテーブル数を削減することができる。

【0003】 また、ページングを高速に行うために、通常はTLB (Translation Lookaside Buffer) と呼ばれるアドレス変換テーブルをページング機構内に設け、メモリ上のページテーブルを参照する回数を少なくする工夫がなされている。

【0004】 このようなページング処理は、CPUに内蔵されたページングユニットによって次のように実行される。すなわち、ページング処理では、まず、TLBが参照される。TLBヒットの場合には、そのTLBに保持されている実ページアドレスを利用して実アドレスが生成される。この場合、メモリ上のページディレクトリおよびページテーブルは参照されない。

【0005】 一方、TLBがミスヒットすると、仮想アドレスの上位ビットを用いてメモリ上のディレクトリがリードアクセスされ、これによってページテーブルアドレスが求められる。次いで、アクセスビット (Aビット) と称される管理情報をページディレクトリエントリにセットするためのメモリライトサイクルが行われ、Aビットは“1”にセットされる。Aビット＝“1”は、そのページディレクトリエントリに対応するページ群が使用されていることを示す。この後、ページテーブルアドレスを用いてメモリ上のページテーブルがリードアクセスされ、そのページテーブルエントリから読み出された実ページアドレスを利用して実アドレスが求められる。そして、その実アドレスによってメモリ上のページがライトアクセスされると、Aビットとダーティービット (Dビット) をページテーブルエントリにセットするためのメモリライトサイクルが行われ、AビットおよびDビットはそれぞれ“1”にセットされる。ここで、ページテーブルエントリのAビット＝“1”は該当ページが使用されていることを示し、Dビット＝“1”は該当ページの内容更新がなされたことを示す。

【0006】 このように、TLBミスヒットの場合にはメモリリードサイクルだけでなく、AビットやDビットをセットするためのメモリライトサイクルも必要となり、ページング処理に時間がかかる欠点があった。

【0007】 ところで、前述のAビットの値は、オペレーティングシステム (OS) によって定期的に“0”にリセットされる。これは、使用頻度が少ないにも拘らず、一旦アクセスされるとそのページが使用状態 (Aビット＝“1”) に維持されたままになるという不具合を防止するためである。メモリ上に新たなページをロードする際には、Aビット＝“0”のページが探され、そこにページがロードされる。使用頻度の高いページは、0

SによってAビットがリセットされても、その後直ぐに“1”にセットされる。このため、使用頻度の高いページは置き換えの対象とはならず、使用頻度の低いページだけが新ページに置き換えられる。したがって、OSによってAビットのリセットが行われるまでの期間に同一ページのアクセスが連続した発生した場合には、2回目以降のページアクセス時に実行されるAビットセットのためのメモリライトサイクルは、実際上意味のないものである。

【0008】同様に、前述のDビットセットのためのメモリライトサイクルも、もし該当するページディレクトリエントリのDビットがすでに“1”にセットされていたならば、意味のないものとなる。

【0009】以上のように、AビットおよびDビットのセットは実際上必要でない場合もあるが、従来のページング処理では、それに関係なくそれらAビットおよびDビットのセットのためのメモリライトサイクルが毎行行われていた。

【0010】

【発明が解決しようとする課題】従来では、TLBのミスヒット時における不必要なAビットおよびDビットのセットのためのメモリライトサイクルが発生し、これによってページング処理全体に要する時間が増大し、システムの性能が低下される問題があった。

【0011】この発明はこのような点に鑑みてなされたもので、AビットおよびDビットのセットのためのメモリライトサイクルの実行回数を低減できるようにし、システム性能を向上することができるページング装置を提供することを目的とする。

【0012】

【課題を解決するための手段および作用】この発明は、ページングによって仮想アドレスを実アドレスに変換するページング装置において、複数のページテーブルエントリを有し、ページテーブルエントリ毎に対応するページの実ページアドレスおよびそのページの使用の有無を示す参照ビットを保持するページテーブルと、前記仮想アドレスの上位ビット部によって指定される前記ページテーブルのページテーブルエントリをリードするページテーブルリード手段と、前記リードしたページテーブルエントリに含まれる実ページアドレスと前記仮想アドレスの下位ビット部とから前記仮想アドレスに対応する実アドレスを生成する手段と、前記リードしたページテーブルエントリに含まれる前記参照ビットを参照し、前記参照ビットが前記ページの未使用を示す時前記リードしたページテーブルエントリにページ使用を示す参照ビットをライトする手段とを具備することを特徴とする。

【0013】このページング装置においては、ページテーブルのリードアクセス時に、リードされたページテーブルエントリから実ページアドレスが読み取られると共に、そのページテーブルエントリに保持されている参照

ビットが読み取られる。参照ビットがページ使用を示すならば、ページテーブルエントリの参照ビットをページ使用を示す状態にセットするためのライトサイクルは実行されない。従って、不必要な参照ビットセットのためのメモリライトサイクルの発生が防止され、メモリライトサイクルの実行回数を低減できる。

【0014】

【実施例】以下、図面を参照して、この発明の実施例を説明する。図1にはこの発明の一実施例に係わる表示制御システム全体の構成が示されている。この表示制御システム4は、例えば、1024×768ドット、256色同時表示の表示モードを持つXGA (extended Graphics Array) 仕様の表示制御システムであり、ポータブルコンピュータのシステムバス3に接続される。この表示制御システム4は、ポータブルコンピュータ本体に標準装備されるフラットパネルディスプレイ40およびオプション接続されるカラーCRTディスプレイ50双方に対する表示制御を行なう。

【0015】表示制御システム4には、ディスプレイコントローラ10、デュアルポート画像メモリ (VRAM) 30、およびDAC (D/Aコンバータ) 35が設けられている。これらディスプレイコントローラ10、デュアルポート画像メモリ (VRAM) 30、およびDAC 35は、図示しない回路基板上に搭載されている。

【0016】ディスプレイコントローラ10はゲートアレイによって実現されるLSIであり、この表示制御システム4の主要部を成す。このディスプレイコントローラ10は、CPU1からの指示に従い、デュアルポート画像メモリ (VRAM) 30およびDAC 35を利用して、フラットパネルディスプレイ40およびカラーCRTディスプレイ50に対する表示制御を実行する。また、このディスプレイコントローラ10は、バスマスタとして機能し、システムメモリ2を直接アクセスすることができる。

【0017】デュアルポート画像メモリ (VRAM) 30は、シリアルアクセスに使用されるシリアルポート (シリアルDATA) とランダムアクセスのためのパラレルポート (DATA) を備えている。シリアルポート (シリアルDATA) は表示画面リフレッシュのためのデータ読み出しに使用され、またパラレルポート (DATA) は表示データの更新に使用される。このデュアルポート画像メモリ (VRAM) 30は、複数のデュアルポートDRAMから構成されており、1Mバイト乃至4Mバイトの記憶容量を有している。このデュアルポート画像メモリ (VRAM) 30には、フラットパネルディスプレイ40またはカラーCRTディスプレイ50に表示するための表示データが描画される。

【0018】この場合、XGA仕様に適合したアプリケーションプログラム等で作成されたXGA仕様の描画データは、バックドピクセル方式によってデュアルポート

画像メモリ（VRAM）30に格納される。このバックドピクセル方式は、メモリ上の連続するビットで1画素を表す色情報マッピング形式であり、例えば、1画素を1、2、4、8、または16ビットで表す方式が採用されている。一方、VGA仕様の描画データは、VGA仕様に適合した従来のアプリケーションプログラム等で作成されるものであり、メモリプレーン方式によってデュアルポート画像メモリ（VRAM）30に描画される。このメモリプレーン方式は、メモリ領域を同一アドレスで指定される複数のプレーンに分割し、これらプレーンに各画素の色情報を割り当てる方式である。例えば、4プレーンを持つ場合には、1画素は、各プレーン毎に1ビットずつの合計4ビットのデータによって表現される。

【0019】また、デュアルポート画像メモリ（VRAM）30には、テキストデータも格納される。1文字分のテキストデータは、XGA、VGAのどちらの仕様においても、8ビットのコードと8ビットのアトリビュートからなる合計2バイトのサイズを持つ。アトリビュートは、フォアグラウンドの色を指定する4ビットデータとバックグラウンドの色を指定する4ビットデータから構成されている。

【0020】DAC35は、ディスプレイコントローラ10によって生成されたCRTビデオデータをアナログR、G、B信号に変換してCRTディスプレイ50に供給する。

【0021】ディスプレイコントローラ10は、レジスタ制御回路11、システムバスインターフェース12、描画用のコプロセッサ13、メモリデータバス制御回路14、CRTコントローラ（CRTC）15、メモリアドレスバス制御回路16、メモリ制御回路18、スプライトメモリ19、シリアライザ20、ラッチ回路21、フォアグラウンド／バックグラウンドマルチプレクサ22、グラフィック／テキストマルチプレクサ23、カラーパレット24、スプライトカラーレジスタ25、CRTビデオマルチプレクサ26、スプライト制御回路27、およびフラットパネルエミュレーション回路28から構成されている。

【0022】レジスタ制御回路11は、システムバスインターフェース12を介してシステムバス3からのアドレスおよびデータを受け取り、アドレスのデコード、およびそのデコード結果によって指定される各種レジスタに対するリード／ライト制御を行なう。システムバスインターフェース12は、システムバス3を介してホストシステムとのインターフェース制御を行なうものであり、ISA、EISA、マイクロチャネル、ローカルバス等の各種仕様に適合したバスインターフェースをサポートする。

【0023】描画用コプロセッサ13は、CPU1からの指示にตอบสนองして、デュアルポート画像メモリ（VRAM）30中の描画データに対してさまざまな描画機能を提供するものであり、画素のブロック転送、線描画、領域の塗りつぶし、画素間の論理／算術演算、画面の切り出し、マップのマスク、X-Y座標でのアドレッシング、ページングによるメモリ管理機能等を有している。

この描画用コプロセッサ13には、VGA／XGA互換のデータ演算回路131、2次元アドレス発生回路131、およびページングユニット133が設けられている。

【0024】データ演算回路131は、シフト、論理算術演算、ビットマスク、カラー比較等のデータ演算を行なうものであり、またVGA互換のBITBLT機能も有している。2次元アドレス発生回路131は、矩形領域アクセス等のためのX-Yの2次元アドレスを発生する。また、2次元アドレス発生回路131は、領域チェックや、セグメンテーション等を利用したリニアアドレス（実メモリアドレス）への変換処理も行なう。ページングユニット133は、CPU1と同じ仮想記憶機構をサポートするためのものであり、ページング有効時には2次元アドレス発生回路131が作ったリニアアドレスをページングによって実アドレスに変換する。また、ページング無効時にはリニアアドレスがそのまま実アドレスとなる。このページングユニット133は、ページングのためにTLBを備えている。

【0025】また、このページングユニット133は、描画用コプロセッサがシステムメモリ2をアクセスする時とデュアルポート画像メモリ（VRAM）30をアクセスする時とで異なったページングを行なうように構成されている。このようなページング機能はこの発明の特徴とする部分であり、その詳細は図2および図9を参照して後述する。

【0026】メモリデータバス制御回路14は、デュアルポート画像メモリ（VRAM）30のパラレルデータポート（DATA）のデータバスを制御するためのものであり、ソース、パターン、マスク、デストの4マップのデータをページモードによってまとめてアクセスするためのバッファを備えている。このバッファは、ライトデータバッファの機能も兼ねる。

【0027】CRTコントローラ15は、XGA仕様に合った高解像度（例えば、1024×768ドット）でフラットパネルディスプレイ40またはCRTディスプレイ50に画面表示を行うための各種表示タイミング信号（水平同期信号、垂直同期信号等）を発生するXGA用のCRTCと、VGA仕様に合った中解像度（例えば、640×460ドット）でフラットパネルディスプレイ40またはCRTディスプレイ50に画面表示を行うための各種表示タイミング信号（水平同期信号、垂直同期信号等）を発生するVGA用のCRTCを備えている。また、このCRTコントローラ15は、デュアルポート画像メモリ（VRAM）30のシリアルポート（シ

10

20

30

40

50

リアルDATA)から画面表示すべき描画データを読み出すための表示アドレスも発生する。

【0028】メモリアドレスバス制御回路16は、システムバスインターフェース12を介して供給されるCPU1からのアドレス、描画用コプロセッサ13からのアドレス、CRTコントローラからのアドレスを選択して、デュアルポート画像メモリ(VRAM)30に供給する。メモリ制御回路18は、デュアルポート画像メモリ(VRAM)30をリード/ライトアクセスするための各種制御信号(Cont)、およびシリアルデータポートからのデータ読み出しタイミングを制御するためのクロックSCK、出カインエーブル信号SOEを発生する。また、メモリ制御回路18は、スプライトメモリ19のアクセス制御と、スプライト表示タイミング制御を行なう。

【0029】スプライトメモリ19には、グラフィックモードではスプライトデータ、テキストモードではフォントが書き込まれる。テキストモードでは、デュアルポート画像メモリ(VRAM)30から読み出されたテキストデータのコードがインデックとしてスプライトメモリ19に供給され、そのコードに対応するフォントが読み出される。シリアルライザ20は、複数画素分のパラレルなピクセルデータをピクセル単位(シリアル)に変換するパラレル/シリアル変換回路であり、グラフィックモードではデュアルポート画像メモリ(VRAM)30のシリアルデータポート(シリアルDATA)から読み出されるメモリデータとスプライトメモリ19から読み出されるスプライトデータをそれぞれパラレル/シリアル変換し、テキストモードではスプライトメモリ19から読み出されるフォントデータをパラレル/シリアル変換する。

【0030】ラッチ回路21は、コードデータからフォントデータへの変換の遅れ時間だけアトリビュートの出力タイミングを遅延させるためのものであり、テキストモードにおいてデュアルポート画像メモリ(VRAM)30から読み出されるテキストデータのアトリビュートを保持する。フォアグラウンド/バックグラウンドマルチプレクサ22は、テキストモードにおいてアトリビュートのフォアグラウンド色(前面色)/バックグラウンド色(背景色)の一方を選択する。この選択は、シリアルライザ20から出力されるフォントデータの値“1”(フォアグラウンド)、“0”(バックグラウンド)によって制御される。グラフィック/テキストマルチプレクサ23は、グラフィックモードとテキストモードの切替えを行なうためのものであり、グラフィックモードにおいてはシリアルライザ20から出力されるメモリデータを選択し、テキストモードにおいてはフォアグラウンド/バックグラウンドマルチプレクサ22の出力を選択する。

【0031】カラーパレット制御回路24は、グラフィックまたはテキストデータの色変換を行なうためのもの

である。このカラーパレット制御回路24は、2段構成のカラーパレットテーブルを備えている。第1のカラーパレットテーブルは、16個のカラーパレットレジスタから構成されている。各カラーパレットレジスタには、6ビットのカラーパレットデータが格納されている。第2のカラーパレットテーブルは、256個のカラーパレットレジスタから構成されている。各カラーパレットレジスタには、R、G、Bそれぞれ6ビットから構成される18ビットのカラーデータが格納されている。

【0032】グラフィックモードにおいては、8ビット/ピクセルのXGA仕様のメモリデータは、第1のカラーパレットテーブルを介さずに、第2のカラーパレットテーブルに直接送られ、そこでR、G、Bそれぞれ6ビットから構成されるカラーデータに変換される。また、4ビット/ピクセルのVGA仕様のメモリデータは、まず第1のカラーパレットテーブルに送られ、そこで6ビットのカラーデータに変換されて出力される。そして、この6ビットのカラーデータには、カラーパレット制御回路19内蔵のカラー選択レジスタから出力される2ビットデータが加えられ、これにより合計8ビットのカラーデータとなる。この後、その8ビットのカラーデータは、第2のカラーパレットテーブルに送られ、そこでR、G、Bそれぞれ6ビットから構成されるカラーデータに変換される。

【0033】一方、テキストモードにおいては、XGA、VGAどちらの仕様のテキストデータも、第1および第2の2段のカラーパレットテーブルを介して、R、G、Bそれぞれ6ビットから構成されるカラーデータに変換される。

【0034】また、XGAのグラフィックスモードにおいては、1画素が16ビットから構成されるダイレクトカラーモードがあり、この場合には、その16ビット/ピクセルのメモリデータは、カラーパレット制御回路24を介さずに、CRTビデオマルチプレクサ26に直接供給される。

【0035】スプライトカラーレジスタ25は、スプライト表示色を指定する。CRTビデオマルチプレクサ26は、CRTビデオ表示出力を選択するものであり、カラーパレット制御回路24の出力、またはシリアルライザ20からのダイレクトカラー出力の選択、さらにはスプライト表示のビデオ切替えを行なう。スプライト制御回路27は、シリアルライザ20によってパラレル/シリアル変換されたスプライトデータに従ってCRTビデオマルチプレクサ26を制御し、スプライト表示時のビデオ切替え制御を行なう。フラットパネルエミュレーション回路28は、CRTビデオ出力を変換してフラットパネルディスプレイ40用のフラットビデオデータを生成する。マルチプレクサ22の出力を選択する。

【0036】図2には、この発明の一実施例に係るページングユニットの構成が示されている。コプロセッサ1

3に組み込まれたページングユニット133は、MS-WINDOWSやOS2などのマルチタスクOSをサポートする仮想記憶機構を持つCPU1と基本的に同じ2レベルページング機能をサポートするものであり、アドレス発生回路132の仮想アドレス生成回路51によって実行されるセグメンテーションによって作成されたリニアアドレスをページングによって実アドレスに変換する。

【0037】このページングユニット133は、図示のように、TLB52、メモリ制御回路53、第1および第2のレジスタ55、56、セクタ57を備えている。仮想アドレス生成回路51は、ページングによるアドレス変換の対象となる仮想アドレスとしてセグメンテーションの実行結果である32ビットのリニアアドレスを発生する。また、仮想アドレス生成回路51は、メモリアクセス要求を発生する。発生されたリニアアドレスは、TLB52に送られる。

【0038】TLB52はアドレス変換用のキャッシュであり、複数、例えば4つのエントリを有している。各エントリには、タグ情報とページ変換後の実ページアドレスとが登録されている。タグ情報は、ページ変換前の仮想ページアドレス（リニアアドレスタグ）を示す。

【0039】ページ変換前の仮想ページアドレスに対応する実ページアドレスがTLB52に存在する時、つまりリニアアドレスタグがリニアアドレスの上位ビット（b31～b12）と一致した時はTLBヒットとなり、TLB52から読み出される実ページアドレス（ページフレームアドレス）にリニアアドレスの下位ビット部（オフセット）を加える事で実アドレスが生成され、それがセクタ57によって選択される。

【0040】一方、ページ変換前の仮想ページアドレスに対応する実ページアドレスがTLB52に存在しない時、つまりリニアアドレスタグがリニアアドレスの上位ビット（b31～b12）と一致しない時はTLBミスヒットとなり、システムメモリ2上のページディレクトリ141およびページテーブル142を利用した2レベルページングが実行される。

【0041】メモリ制御回路53は、2レベルページングによるアドレス変換、およびシステムメモリ2に格納されたページディレクトリ141およびページテーブル142、およびVRAM30のリード/ライトアクセスを制御する。

【0042】メモリ制御回路53は、ページディレクトリ141のディレクトリエントリをリードした時、そのディレクトリエントリのAビット（アクセスビット）、Dビット（ダーティービット）、Pビット（プレゼントビット）を含む属性情報をPDE（ページディレクトリエントリ）用のレジスタ56にロードする。このレジスタ56にロードされた内容は、リードアクセスされたディレクトリエントリに対するライトサイクルを実行する

必要があるか否かを判断するために利用される。

【0043】また、メモリ制御回路53は、ページテーブル142のページテーブルエントリをリードした時、そのページテーブルエントリのAビット（アクセスビット）、Dビット（ダーティービット）、Pビット（プレゼントビット）を含む属性情報をページテーブルエントリ（PTE）用のレジスタ55にロードする。このレジスタ55にロードされた内容は、ページテーブルエントリに対するライトサイクルを実行する必要があるか否かを判断するために利用される。

【0044】ページディレクトリ141は、複数のページディレクトリエントリを持つ。各ページディレクトリエントリは、ページテーブルアドレスおよびそのページテーブルについての管理情報を格納する。管理情報には、前述のAビット、Dビット、Pビットを初め、U/S（ユーザ/スーパーバイザビット）ビットなどが含まれている。

【0045】Aビットは、該当するページテーブルで管理されているページ群に使用されているページ（リードアクセスまたはライトアクセスされたページ）があるか否かを示す。Aビット＝“1”は使用されているページが存在することを示し、Aビット＝“0”は使用されているページが存在しないことを示す。Dビットは、該当するページテーブルで管理されているページ群にデータが書き替えられたページ（ライトアクセスされたページ）があるか否かを示す。Dビット＝“1”は書き替えられたページが存在することを示し、Dビット＝“0”は書き替えられたページが存在しないことを示す。Pビットは、該当するページテーブルがシステムメモリ2上に存在するか否かを示す。Pビット＝“1”は該当するページテーブルがシステムメモリ2上に存在する事を示し、Pビット＝“0”は該当するページテーブルがシステムメモリ2上に存在しない事を示す。U/Sビット＝“1”は、OSとアプリケーションプログラムの双方が該当するページ群をアクセスできることを示し、U/Sビット＝“0”は、OSのみがアクセスできることを示す。

【0046】ページテーブル142は、複数のページテーブルエントリを持つ。各ページテーブルエントリは、対応するページの実ページアドレスおよびそのページについての管理情報を格納する。管理情報には、前述のAビット、Dビット、Pビット、U/Sビットなども含まれている。Aビットは、該当するページが使用されているページ（リードアクセスまたはライトアクセスされたページ）であるか否かを示す。

【0047】Aビット＝“1”は使用されているページであることを示し、Aビット＝“0”は使用されていないページであることを示す。Dビットは、該当するページのデータが書き替えられたページ（ライトアクセスされたページ）であるか否かを示す。Dビット＝“1”は書

き替えられたページであることを示し、Dビット＝
 “0”は書き替えられていないページであることを示す。
 Pビットは、該当するページがメモリ2上に存在するか
 否かを示す。Pビット＝“1”は該当するページがメモ
 リ2上に存在する事を示し、Pビット＝“0”は該当す
 るページがメモリ2上に存在しない事を示す。U/Sビ
 ット＝“1”は、OSとアプリケーションプログラムの
 双方が該当するページをアクセスできることを示し、
 U/Sビット＝“0”は、OSのみがアクセスできるこ
 とを示す。

【0048】ページディレクトリエントリのAビットお
 よびページテーブルエントリのAビットは、OSによっ
 て定期的に“0”にリセットされる。図3、図4には、
 この実施例におけるページディレクトリ141およびペ
 ージテーブル142それぞれに対するライトサイクルの
 実行条件が示されている。

【0049】図示のように、ページディレクトリ141
 に対しては、Aビット＝“1”の時には一切のページデ
 ィレクトリエントリに対するライトサイクルは実行され
 ない。また、ページテーブル142に対しては、Aビッ
 ト＝“1”、且つDビット＝“1”の時には一切のペ
 ージテーブルエントリに対するライトサイクルは実行さ
 れない。

【0050】次に、図5を参照して、この実施例のペ
 ージングユニット133によって実行される2レベルペ
 ージングを用いたアドレス変換動作の原理を説明する。T
 LB52がミスヒットした場合、メモリ制御回路53
 は、ページディレクトリ141をリードアクセスする。
 この場合、仮想アドレス生成回路51によって生成され
 た32ビットのリニアアドレスの上位10ビット（b3
 1ーb22）からなるページディレクトリインデックス
 は、コプロセッサ13内のレジスタにセットされたペ
 ージディレクトリベースアドレスによって指定されるペ
 ージディレクトリ141から特定のページディレクトリを
 読み出すためのオフセットアドレスとして使用される。
 このコプロセッサ13内のレジスタにセットされている
 ページディレクトリベースアドレスは、CPU1のレジ
 スタに保持されているページディレクトリベースアドレ
 スと常に同一の値に維持されている。

【0051】上位10ビット（b31ーb22）のアド
 レスによって指定されたページディレクトリエントリに
 保持されているページテーブルベースアドレスおよび属
 性情報は、メモリ制御回路53によって読み取られ
 る。また、この時、属性情報は、PDEレジスタ56に
 ロードされる。

【0052】P＝“1”ならば、該当するページテー
 ブル142がシステムメモリ2上に存在するので、メモリ
 制御回路53は、リードしたページテーブルベースアド
 レスとリニアアドレスの中位10ビット（b21ーb1
 2）からなるページテーブルインデックス値を用いてペ

ージテーブル142をリードアクセスすると共に、それ
 に続いて、ページディレクトリエントリにAビット＝1
 をセットするためのライトサイクルに移行する。このラ
 イトサイクルでは、その実行に先立ってレジスタ56の
 Aビットが参照され、Aビット＝“1”か否かが検出さ
 れる。Aビット＝“1”ならばライトサイクルは禁止さ
 れ、Aビット＝“0”の時だけライトサイクルが行われ
 る。

【0053】ページテーブル142のリードアクセスに
 おいては、リニアアドレスの中位10ビット（A21ー
 A52）のアドレスは、ページテーブル142から適切
 なページテーブルエントリを指定するために利用され
 る。その指定されたページテーブルエントリの実ページ
 フレームアドレスおよび属性情報は、メモリ制御回路5
 3によって読み取られる。また、この時に、属性情報
 はレジスタ55にロードされる。

【0054】P＝“1”ならば、該当するページがシ
 ステムメモリ2上に存在するので、メモリ制御回路53
 は、Aビット、Dビットをページテーブルエントリにセ
 ットするためのライトサイクルに移行する。

【0055】このライトサイクルでは、その実行に先立
 ってレジスタ55のAビット、Dビットが参照され、A
 ビット＝“1”か否か、Dビット＝“1”か否かが検出
 される。Aビット＝“1”、且つDビット＝“1”であ
 れば、ライトサイクルの実行は禁止され、AビットとD
 ビットのいずれかが“0”の場合には、Aビット、Dビ
 ットの必要な更新のために、ライトサイクルが実行さ
 れる。この場合、Dビット＝“1”のセットは、該当す
 るページにライトアクセスを行う場合に行われる。この
 後、メモリ制御回路は、TLB52に実ページアドレス
 を登録する。

【0056】一方、ページディレクトリエントリとペ
 ージテーブルエントリのいずれかのPビットが“0”の場
 合は、ページフォールトとなり、所定のページが2次記
 憶などからシステムメモリ2に転送される。

【0057】この場合、Pビット＝“1”で、且つAビ
 ット＝“0”のページが探され、そこに新たなページが
 ロードされる。使用頻度の高いページは、OSによって
 Aビットがリセットされても、その後直ぐに前述のラ
 イトサイクルによって“1”にセットされる。このため、
 使用頻度の高いページは置き換えの対象とはならず、使
 用頻度の低いページだけが新ページに置き換えられる。

【0058】このように、この実施例のページングユニ
 ットにおいては、リードしたページディレクトリ／テー
 ブルエントリのAビットなどの管理情報をレジスタ5
 5、56に保持しておき、それを参照することにより管
 理情報更新のためのライトサイクルの実行を行うか否か
 を決定している。したがって、不必要なAビットセット
 のためのメモリライトサイクルの発生が防止され、メモ
 リライトサイクルの実行回数を低減できる。

10

20

30

40

50

【0059】次に、図6および図7のフローチャートを参照して、この実施例のページングユニット133によって実行されるアドレス変換動作全体の手順を詳細に説明する。

【0060】まず、仮想アドレス生成回路51によって生成されたリニアアドレスが実アドレスであるか否か、すなわちページングユニット133のページング機能を実行するか否かを決定する(ステップS100)。リニアアドレスが実アドレスであれば、ステップS270に進み、そこで、リニアアドレスがコプロセッサ13のアド

レスレジスタ(以下、CPADと称する)にロードされる。

【0061】リニアアドレスが実アドレスでなければ、ステップS110に進み、そこで、TLB52内の参照されるリニアアドレスタグに対応したバリッドビットが“1”か否かが調べられ、バリッドビットが“1”であれば、ステップS120に進む。

【0062】ステップ120では、TLB52から読み出されるリニアアドレスタグと発生されたリニアアドレスの上位ビット(b31-b12)が比較される。それらが一致した場合、つまりTLBヒットならば、ステップS280に進む。ステップS280では、TLB52から読み出される実ページアドレスに、発生されたリニアアドレスの下位12ビット(b11-b0)のオフセット値が加算されて実アドレスが生成され、その実アドレスがCPADにロードされる。

【0063】一方、TLB52から読み出されるリニアアドレスタグと発生されたリニアアドレスの上位ビット(b31-b12)が不一致であるか、あるいはバリッドビットが“0”ならば、TLBミスヒットとなり、ステップS130に進む。ステップS130では、アドレス変換のためにページディレクトリ141とページテーブル142のどちらを使用するサイクルであるかを示す変換サイクル番号の値(以降、TRCYCと称する)がクリアされ、初期化される。次いで、ステップS140に進む。

【0064】ステップS140では、TRCYCの値が参照され、その値に応じてページディレクトリ141またはページテーブル142がリードアクセスされる(TRCYC=“0”ならばページディレクトリ141、TRCYC=“1”ならばページテーブル142)。この時、ページディレクトリ141からPDEレジスタ56、またはページテーブル142からPTEレジスタ55に、リードアクセスされたエントリに保持されている属性情報がロードされる。

【0065】この後、ステップS150に進み、そこで、ページディレクトリエントリまたはページテーブルエントリからリードしたPビットが“1”か否かが調べられる。Pビット=“0”ならば、ページ不存在割り込みが発生されてページフォルトとなり、処理が終了す

る。Pビット=“1”ならば、ステップS160に進む。

【0066】ステップ160では、ページディレクトリエントリまたはページテーブルエントリからリードしたU/Sビットが“1”か否かが調べられる。U/Sビットが“0”であれば、ステップS170に進み、そのページに対応するユーザのアクセスが特権レベルなどの機構によって特別に許可されているか否かが調べられる。ユーザのアクセスが許可されていないならば、ステップS300に進み、保護違反割り込みが発生される。

【0067】U/Sビットが“1”であれば、ステップS180に進む。ステップS180では、その時のTRCYCが“1”であるか否かが決定される。TRCYCが“0”であればステップS190に進み、そこで、PDEレジスタ56にロードされているAビットが“1”であるか否かが調べられる。Aビットが“1”であることが検出された時は、リードアクセスされたページディレクトリエントリに対するメモリライトサイクルは発生されずに、ステップS240に進む。一方、Aビットが“0”であれば、ステップS230に進み、そこで、リードアクセスされたページディレクトリエントリに対するメモリライトサイクルが発生されて、システムメモリ2上のページディレクトリエントリのAビットが“1”に設定されると共に、PDEレジスタ56のAビットも“1”に設定される。そして、この後、ステップS240にて、TRCYCの値が“1”に変更される。

【0068】一方、ステップS180にてTRCYCが“1”であることが検出された場合は、ステップS200に進み、そこで、PTEレジスタ55にロードされているAビットが“1”であるか否かが調べられる。Aビットが“1”であれば、ステップS210にて、PTEレジスタ55にロードされているDビットが“1”であるか否かが調べられる。ステップS210にてDビットが“1”であることが検出されると、リードアクセスされたページテーブルエントリに対するメモリライトサイクルは発生されずに、ステップS240に進む。

【0069】一方、PTEレジスタ55にロードされているAビットとDビットの少なくとも一方が“0”ならば、リードアクセスされたページテーブルエントリに対するメモリライトサイクルが発生されて、システムメモリ2上のページテーブルエントリのAビットおよびDビットが共に“1”に設定されると共に、PTEレジスタ55のAビットおよびDビットも共に“1”に設定される。そして、この後、ステップS240にて、TRCYCの値が“0”に変更される。

【0070】次に、ステップS250に進み、その時のTRCYCの値が“1”か否かが調べられ、TRCYCの値が“1”であればステップS140の処理に戻り、TRCYCの値が“0”であればステップS260に進む。ステップS260では、コプロセッサ13によるV

RAM30の該当するページに対するリード／ライトアクセスが実行される。

【0071】次に、図8および図9を参照して、コプロセッサ13によって実行される描画演算動作を説明する。図8には、図1のフラットパネルディスプレイ40の画面（1024×768画素）上に表示されている矩形領域1内の表示データを矩形領域2の位置に転送する様子が示されている。

【0072】この表示画面の先頭の2次元座標（0，0）に対応するVRAM30の記憶位置を示すリニアアドレスの値は、FD800000hに設定されている。フラットパネルディスプレイ40上の1画素は、VRAM30の8ビットデータから構成されている。矩形領域1から矩形領域2へのデータ転送は、コプロセッサ13によるビットブロック転送（以下、BLTと称する）によって実行される。このBLT転送では、矩形領域1の表示内容は、矩形領域2の位置にコピーされる。矩形領域1の表示座標は（160，128）～（412，256）であり、矩形領域2の表示座標は（512，384）～（768，512）である。

【0073】図9には、矩形領域1に対応するリニアアドレス（FD860220～FD87FEE0）と、そのリニアアドレスとの比較結果に対応するTLBヒット／ミスヒットとの関係が示されている。

【0074】以下、BLT転送動作を説明する。ここでは、簡単のために、コプロセッサ13のBLT転送動作の間、OSによるページディレクトリエントリおよびページテーブルエントリのAビットおよびDビットのリセットは発生されない場合を想定する。

【0075】このBLT転送においては、図9から分かるように、1024個のリニアアドレスがそれぞれVRAM30上の矩形領域1の物理アドレスに変換される。この仮想アドレス変換処理の実行回数は、矩形領域のサイズとBLT転送のデータ転送幅とによって決定されるものである。矩形領域1に対応するアドレス変換処理においては、TLBミスヒットが32回発生する。

【0076】TLBミスヒットが発生すると、ページングユニット133は、2レベルページング機能を利用した仮想アドレス変換を実行すると共に、新たな実ページアドレス（ページフレームベースアドレス）とリニアアドレスタグとをTLB52のエントリにロードする。

【0077】TLBヒットの場合は、2レベルページング機能は実行されないで、仮想アドレス変換は1メモリクロックで実行できる。メモリクロックが50MHzであるとする、仮想アドレス変換の時間は20nsとなる。TLBミスヒットの場合は、仮想アドレス変換のために34メモリクロック（＝680ns）要する。すなわち、ページディレクトリリードに12メモリクロック、ページディレクトリライトに5メモリクロック、ページテーブルリードに12メモリクロック、ページテ

ブルライトに5メモリクロック必要とされる。したがって、通常のBLT転送では、仮想アドレス変換に要する時間は、 $1 \times 992 + 34 \times 32 = 2080$ メモリクロック（＝41.6μs）となる。

【0078】しかしながら、この実施例におけるコプロセッサ13においては、ページディレクトリエントリのAビットが“1”の時は、ページディレクトリエントリに対するメモリライトサイクルの発生は禁止される。また、ページテーブルエントリのAビットおよびDビットが共に“1”の時ににおいても、ページディレクトリエントリに対する一切のメモリライトサイクルの発生は禁止される。よって、TLBミスヒットが発生される度に、ページディレクトリエントリとページテーブルエントリに対するメモリライトサイクルがそれぞれ禁止される。なぜなら、矩形領域1の表示データは既に画面表示されているものであるため、矩形領域1の表示データをVRAM30に書き込む時に、対応するページディレクトリエントリとページテーブルエントリは既にリード／ライトアクセスされているためである。よって、AビットおよびDビットは共に“1”である。

【0079】したがって、この発明においては、BLT転送における仮想アドレス変換に要する時間は、 $1 \times 992 + 24 \times 32 = 1760$ メモリクロック（＝35.2μs）で済む。通常のBLT転送と比較して、約16.4%の時間短縮を実現できる。矩形領域2の仮想アドレス変換についても同様に実行される。

【0080】なお、ここでは、2レベルページングについてのみ説明したが、1レベルのページングにおいても同様にしてリードサイクルにおいて読み取ったAビットなどの情報を参照してメモリライトサイクルの必要性を判断することにより、メモリライトサイクルの実行回数を低減することができる。

【0081】

【発明の効果】以上のように、この発明によれば、ページディレクトリ／テーブルエントリをリードした時にAビットをレジスタにセットし、Aビットを参照してライトサイクルの実行が必要か否かを決定している。このため、不必要な参照ビットセットのためのメモリライトサイクルの発生が防止され、メモリライトサイクルの実行回数を低減する事ができる。

【図面の簡単な説明】

【図1】この発明の一実施例に係わるディスプレイコントローラの構成を示すブロック図。

【図2】図1のディスプレイコントローラのコプロセッサ内に設けられたページングユニットの構成を示すブロック図。

【図3】図2のページングユニットによるページディレクトリのライトサイクルの実行条件を示す図。

【図4】図2のページングユニットによるページテーブルのライトサイクルの実行条件を示す図。

【図5】図2のページングユニットによるアドレス変換動作の原理を説明するための図。

【図6】図2のページングユニットによって実行されるアドレス変換処理の手順の一部を説明するフローチャート。

【図7】図2のページングユニットによって実行されるアドレス変換処理の手順の残りの一部を説明するフローチャート。

【図8】図1のディスプレイコントローラのコプロセッサによって実行されるBLT転送の一例を説明するための図。

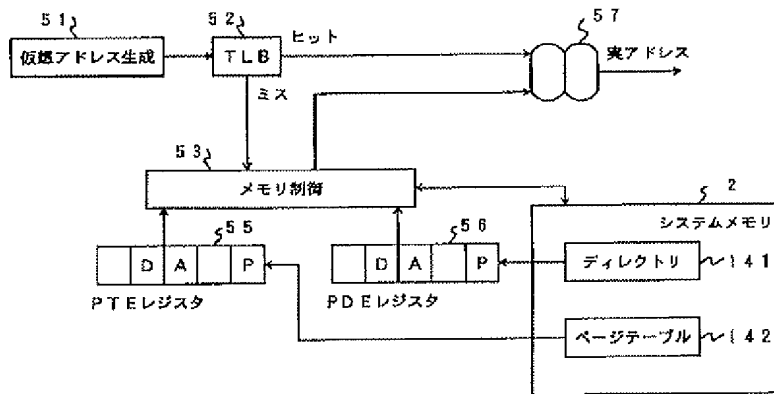
【図9】図8のBLT転送の転送元矩形領域を指定するリニアアドレスの値とTLBヒット／ミスヒットとの関係を示す図。

【符号の説明】

1…CPU、2…システムメモリ、10…ディスプレイコントローラ、13…コプロセッサ、30…VRAM、51…仮想アドレス生成回路、52…TLB、53…メモリ制御回路、55…PTEレジスタ、56…PDEレジスタ、133…ページングユニット、141…ページディレクトリ、142…ページテーブル。

【図2】

133 ページングユニット



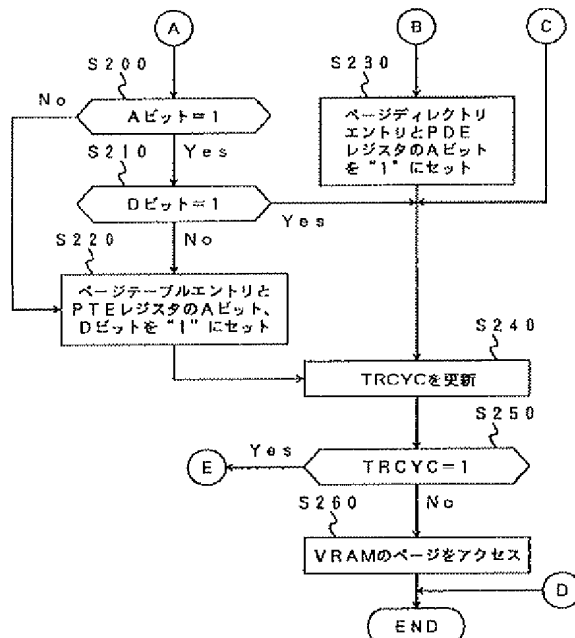
【図3】

Aビット	ディレクトリ・ライトサイクル
1	しない
0	する

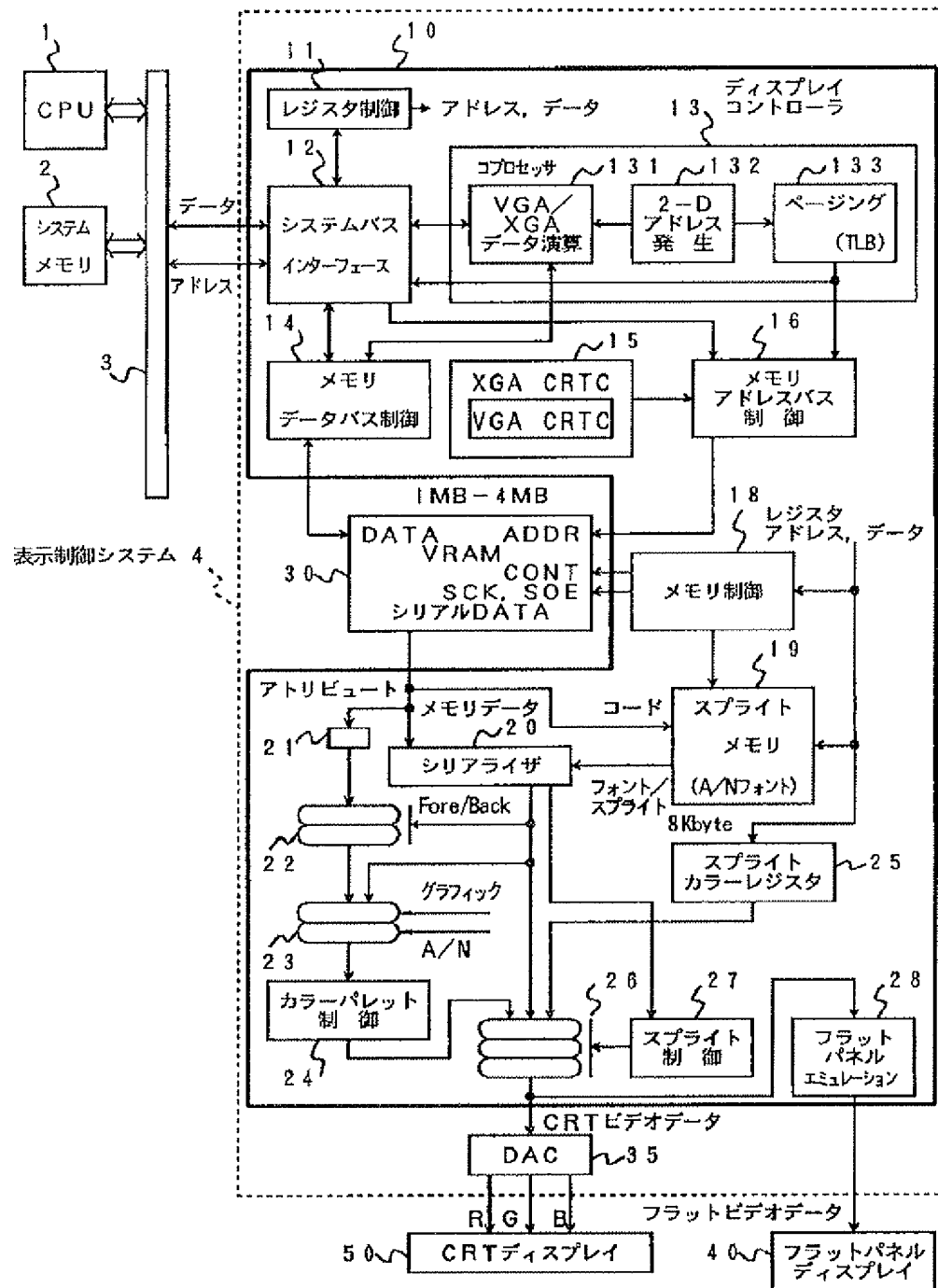
【図4】

Aビット	Dビット	ページテーブル・ライトサイクル
1	1	しない
1	0	する
0	1	する
0	0	する

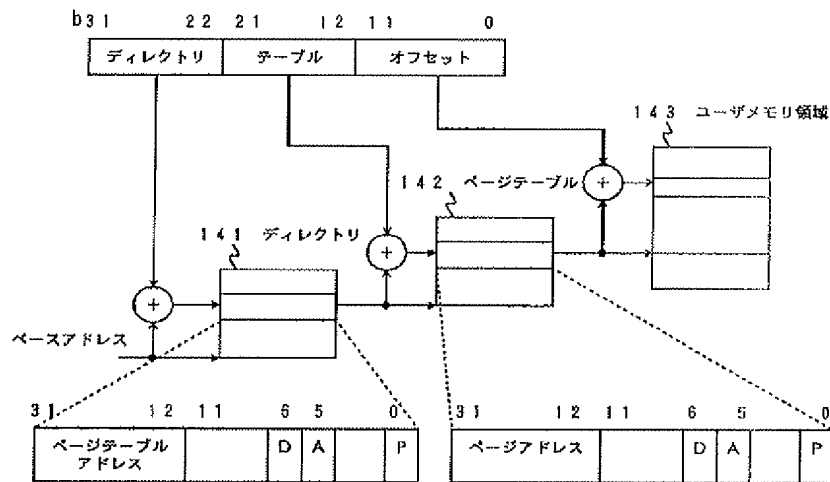
【図7】



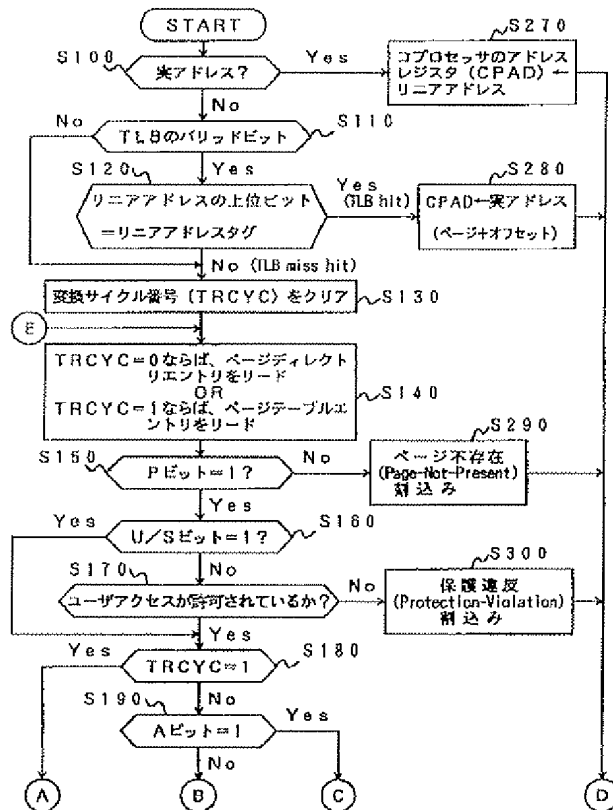
【図1】



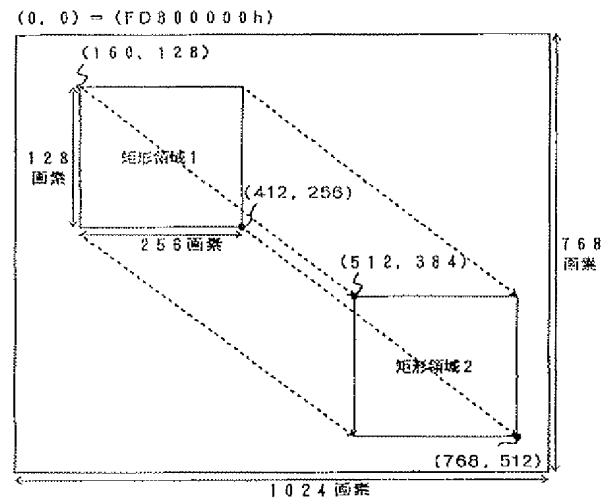
【図5】



【図6】



【図8】



【図9】

リニアアドレス		TLB	
TLBのタグ	オフセット	hit/miss	
FD860	200	miss	
FD860	220	hit	
FD860	EE0	hit	
FD861	200	miss	
FD861	220	hit	
FD861	EE0	hit	
FD862	200	miss	
FD862	220	hit	
FD862	EE0	hit	
FD863	200	miss	
FD863	220	hit	
FD863	EE0	hit	
FD864	200	miss	
FD864	220	hit	
FD864	EE0	hit	
			FD87A 200 miss
			FD87A 220 hit
			FD87A EE0 hit
			FD87B 200 miss
			FD87B 220 hit
			FD87B EE0 hit
			FD87C 200 miss
			FD87C 220 hit
			FD87C EE0 hit
			FD87D 200 miss
			FD87D 220 hit
			FD87D EE0 hit
			FD87E 200 miss
			FD87E 220 hit
			FD87E EE0 hit
			FD87F 200 miss
			FD87F 220 hit
			FD87F EE0 hit

